

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2004 年 6 月 24 日 (24.06.2004)

PCT

(10) 国際公開番号  
WO 2004/054091 A1(51) 国際特許分類<sup>7</sup>: H03B 7/14, H03H 11/10, 11/52

(21) 国際出願番号: PCT/JP2003/015523

(22) 国際出願日: 2003 年 12 月 4 日 (04.12.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願2002-355307 2002 年 12 月 6 日 (06.12.2002) JP

(71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 伊東 正治 (ITO, Masaharu) [JP/JP]; 〒108-8001 東京都港区芝五

丁目7番1号 日本電気株式会社内 Tokyo (JP). 丸橋建一 (MARUHASHI, Kenichi) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 岸本 修也 (KISHIMOTO, Shuya) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 大畑 恵一 (OHATA, Keiichi) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).

(74) 代理人: 宮崎 昭夫, 外 (MIYAZAKI, Teruo et al.); 〒107-0052 東京都港区赤坂1丁目9番20号 第16興和ビル8階 Tokyo (JP).

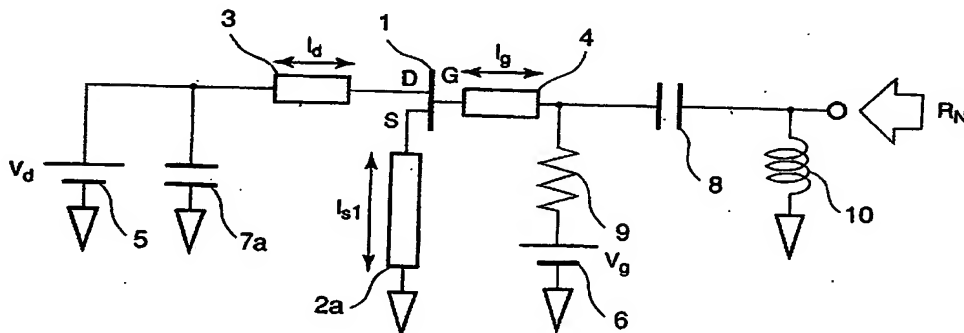
(81) 指定国 (国内): CN, US.

添付公開書類:  
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: NEGATIVE RESISTANCE CIRCUIT AND ACTIVE FILTER

(54) 発明の名称: 負性抵抗回路、及びアクティブフィルタ



(57) Abstract: A negative resistance circuit having a transistor and a plurality of distributed constant lines respectively connected to the three terminals of the transistor further comprises an inductive element or a capacitive element connected between the output terminal of the negative resistance circuit and the ground potential. The negative resistance is adjusted through the inductance of the inductive element or the capacitance of the capacitive element.

[続葉有]

BEST AVAILABLE COPY

WO 2004/054091 A1



---

(57) 要約:

トランジスタと、該トランジスタの3つの端子にそれぞれ接続される複数の分布定数線路とを有する負性抵抗回路に、インダクタンス素子またはキャパシタンス素子を該負性抵抗回路の出力端子と接地電位間に設け、該インダクタンス素子またはキャパシタンス素子の値により負性抵抗値を調整する。

## 明細書

## 負性抵抗回路、及びアクティブフィルタ

## 技術分野

本発明は、トランジスタと分布定数線路を用いた負性抵抗回路、及びその負性抵抗回路を用いたアクティブフィルタに関する。

## 背景技術

マイクロ波やミリ波等の高周波帯で使用する発振回路やアクティブフィルタ等には負性抵抗回路が用いられる。負性抵抗回路としては、従来、第1図に示す構成が知られている。

第1図は、例えば特許文献1（特開平10-93348号公報）の第4図に記載された電圧制御発振回路と同様の構成である。特許文献1では所望の周波数範囲で発振する回路を得るために共振器や負性抵抗回路を構成する各素子の定数が設定されている。しかしながら、特許文献1に記載された構成でも各素子の定数を最適に選択すれば発振しない回路が得られる。さらに、第1図に示す回路とキャパシタンス素子やインダクタンス素子とをそれぞれ複数個用いて組み合わせることでアクティブフィルタを構成することもできる。以下では、第1図に示した回路をアクティブフィルタとして利用する場合で説明する。

第1図に示すように、従来の負性抵抗回路は、電界効果トランジスタ（FET）101を備え、FET101のドレイン（D）からゲート（G）に正帰還をかけることで負性抵抗 $R_N$ を得る構成である。FET101のソースには、所望の周波数範囲で容量性となり、ソース（S）を直流的に接地する $\lambda/4 < l_s < \lambda/2$ （ $\lambda$ は所望周波数の1波長）の長さに設定された第1の分布定数線路（長さ $l_s$ ）102dが接続されている。

FET101のゲート（G）には、第2の分布定数線路（長さ $l_g$ ）103を介して高周波的に接地電位に短絡するキャパシタンス素子107aが接続されている。また、FET101のゲートにはバイアス電源106により第2の分布定数線路103

を介して所定のバイアス電圧 $V_g$ が印加される。

FET101のドレインには、第3の分布定数線路(長さ $l_d$ )104が接続され、第3の分布定数線路104にはキャパシタンス素子107bにより高周波的にドレインを接地電位に短絡するための第4の分布定数線路117が接続されている。また、FET101のドレインには、キャパシタンス素子107bと並列に接続されたバイアス電源105により第3、4の分布定数線路104、117を介してバイアス電圧 $V_d$ が印加される。なお、第4の分布定数線路117の長さは所望の周波数の $1/4$ 波長に設定される。このような長さに設定することで、第3の分布定数線路104と第4の分布定数線路117の接続点から見て、所望の周波数における第4の分布定数線路117のインピーダンスが無限大となる。これにより所望の周波数において第4の分布定数線路117の影響を無視できる。

第3の分布定数線路104と出力端子間には、FET101のドレインに印加するバイアス電圧 $V_d$ が出力端子から漏洩するのを防止するため、高周波で低リアクタンスとなるキャパシタンス素子108が挿入されている。

第1図に示す負性抵抗回路の負性抵抗値は、FET101の3つの端子(S、G、D)に接続された第1の分布定数線路102dの長さ $l_s$ 、第2の分布定数線路103の長さ $l_g$ 、及び第3の分布定数線路104の長さ $l_d$ によって調整される。

第1図に示した負性抵抗回路を用いて広帯域なアクティブフィルタを構成する場合、発振することなく安定して動作する回路を得るためには、広い帯域内で一定の負性抵抗値を持つ負性抵抗回路が必要である。

第2図に示すように、アクティブフィルタを、例えば所望の周波数の $n/4$ 波長の分布定数線路( $n$ は正の整数)からなる共振器119と、共振器119を終端する負性抵抗回路118とによって構成すると、共振器119を無損失とするためには負性抵抗回路118の抵抗値 $R_N$ を以下に記載するように設定する必要がある。なお、共振器119の負性抵抗回路118と接続されない端部は、 $n$ が奇数のとき開放され、 $n$ が偶数のとき接地電位に短絡される。

まず、負性抵抗回路118から出力される電磁波が共振器119の他端で反射されて負性抵抗回路118へ戻るまでの損失 $L$ は下記式(1)で表される。

また、負性抵抗回路118の反射利得 $\Gamma$ は下記式(2)で表される。

したがって、下記式（３）の条件を満足すれば、共振器１１９全体が無損失と見なすことができる。式（３）を負性抵抗値 $R_N$ について解くと、負性抵抗値 $R_N$ が満足すべき条件式（４）が得られる。

【数１】

$$L = e^{-n\lambda\alpha/2} \quad \dots(1)$$

$$\Gamma = \left| \frac{R_N - Z_0}{R_N + Z_0} \right| \quad \dots(2)$$

$$L \times \Gamma = 1 \quad \dots(3)$$

$$R_N = \frac{-Z_0(e^{n\lambda\alpha/2} - 1)}{e^{n\lambda\alpha/2} + 1} \quad \dots(4)$$

但し、 $Z_0$ は分布定数線路の特性インピーダンス、 $\lambda$ は所望の周波数の波長、 $\alpha$ は減衰定数である。

この式（４）で示される負性抵抗の絶対値は、数 $\Omega$ 程度（例えば、GaAs上に形成した接地間距離 $70\mu\text{m}$ の $1/4$ 波長コプレーナ線路型共振器の場合、電磁界シミュレータにより計算した結果は $\sim 1\Omega$ であった）である。

実際の回路では、共振器１１９と負性抵抗回路１１８の接続点や開放端（または短絡端）における放射による損失のため、負性抵抗値が上記式（４）よりも大きくなるが、アクティブフィルタとして用いる際に必要な抵抗値は、通常、 $10\Omega$ 以下である。

第１図に示した従来の負性抵抗回路の負性抵抗値の周波数特性を第３図のグラフに示す。なお、第３図はシミュレーション結果である。

第３図に示すように、第１図に示す負性抵抗回路は、 $35\text{GHz} \sim 60\text{GHz}$ では一定で、かつ比較的小さな負性抵抗値が得られるが、 $60\text{GHz}$ を越えると負性抵抗値が急激に増大し、その後急激に減少する。すなわち、第１図に示す負性抵抗回路は、広帯域で一定な負性抵抗値、特に数 $\Omega$ 程度の小さな負性抵抗値を得ることが困難であった。

また、従来の負性抵抗回路を用いたアクティブフィルタでは、負性抵抗回路１１８と共振器１１９とを直接接続するため、FETの特性ばらつきによってフィルタ特性が大きく変動する問題がある。したがって、所望のフィルタ特性を得るためにFET

の各端子に接続する分布定数線路の長さをそれぞれ調整しなければならないため、調整が困難であるという問題がある。

本発明の目的は、広い帯域で一定な負性抵抗値が得られると共に調整し易い構造を備えた、分布定数線路を有する負性抵抗回路を提供することにある。

#### 発明の開示

上記目的を達成するため本発明の負性抵抗回路は、負性抵抗回路の出力端子と接地電位間に、インダクタンス素子、またはキャパシタンス素子を接続した構成とする。また、トランジスタの3つの端子のうちの少なくともいずれか一つ（特にトランジスタが電界効果トランジスタの場合はそのソース）に複数の分布定数線路を並列に接続する。このような構成の負性抵抗回路では、広い周波数範囲で一定な負性抵抗値が得られるように、容易に調整することができる。

さらに、本発明の負性抵抗回路は、電界効果トランジスタのゲート側に出力端子を有する構成とする。このような構成では、従来の負性抵抗回路で必要であった、直流に対してインピーダンスが小さく、所望の周波数でインピーダンスが無限大となる出力側の分布定数線路が不要になる。そのため、従来の構成に比べて回路構成が簡易になり小型化が可能になる。

一方、本発明のアクティブフィルタは、広い帯域内で一定の負性抵抗値を有する上記本発明の負性抵抗回路を用いて構成する。このような構成では、発振することなく安定して動作するフィルタ回路を得ることができる。

#### 図面の簡単な説明

第1図は、従来の負性抵抗回路の構成を示す回路図であり、

第2図は、第1図に示した負性抵抗回路を用いた共振器の構成例を示す回路図であり、

第3図は、第1図に示した負性抵抗回路の負性抵抗値の周波数特性を示すグラフであり、

第4図は、本発明の負性抵抗回路の第1の実施の形態の構成を示す回路図であり、

第5A図は、第4図の負性抵抗回路で用いる対称型のインダクタンス素子の構成を

示す平面図であり、

第5B図は、第4図の負性抵抗回路で用いる非対称型のインダクタンス素子の構成を示す平面図であり、

第6図は、第4図に示したインダクタンス素子を分布定数線路で構成した場合の分布定数線路の長さに対するインダクタンスの変化を示すシミュレーション結果を示すグラフであり、

第7図は、第4図に示した第3の分布定数線路の長さにより負性抵抗値の周波数特性が変化する様子を示したグラフであり、

第8図は、第4図に示した第2の分布定数線路の長さにより負性抵抗値の周波数特性が変化する様子を示したグラフであり、

第9図は、第4図に示したインダクタンス素子の値により負性抵抗値の周波数特性が変化する様子を示したグラフであり、

第10図は、第4図に示した負性抵抗回路の等価回路を示す回路図であり、

第11図は、本発明の負性抵抗回路の第2の実施の形態の構成を示す回路図であり、

第12図は、第11図に示したFETのソースから見た第1の分布定数線路及び第4の分定数線路の周波数に対する反射係数の位相の変化を示すグラフであり、

第13図は、インダクタンス素子の値により第11図に示した負性抵抗回路の負性抵抗値の周波数特性が変化する様子を示すグラフであり、

第14図は、本発明の負性抵抗回路の第3の実施の形態の構成を示す回路図であり、

第15図は、第14図に示したFETのソースから見た第5の分布定数線路及び第6の分定数線路の周波数に対する反射係数の位相の変化を示すグラフであり、

第16図は、本発明の負性抵抗回路の第4の実施の形態の構成を示す回路図であり、

第17図は、第16図に示した負性抵抗回路で用いるキャパシタンス素子の構成例を示す平面図であり、

第18図は、第16図に示した負性抵抗回路の等価回路を示す回路図であり、

第19図は、本発明の負性抵抗回路の第5の実施の形態の構成を示す回路図であり、

第20図は、本発明のアクティブフィルタの一構成例を示す回路図であり、

第21図は、本発明のアクティブフィルタの他の構成例を示す回路図である。

発明を実施するための最良の形態

(第1の実施の形態)

本発明の第1の実施の形態の負性抵抗回路は、第4図に示すように、電界効果トランジスタ(FET)1を備え、FET1のドレイン(D)からゲート(G)に正帰還をかけることで負性抵抗 $R_N$ を得る構成である。FET1のソースには、所望の周波数範囲で容量性となり、ソースを直流的に接地する $\lambda/4 < l_s < \lambda/2$  ( $\lambda$ は所望周波数の1波長)の長さに設定された第1の分布定数線路(長さ $l_s$ )2aが接続されている。

FET1のドレイン(D)には、第2の分布定数線路(長さ $l_d$ )3を介して、高周波的に接地電位に短絡するキャパシタンス素子7aが接続されている。また、FET1のドレインにはバイアス電源5により第2の分布定数線路3を介して所定のバイアス電圧 $V_d$ が印加される。

FET1のゲートには、第3の分布定数線路(長さ $l_g$ )4が接続されている。また、FET1のゲートには、抵抗値が大きい抵抗器9(数 $K\Omega$ )を介してバイアス電源6より所定のバイアス電圧 $V_g$ が印加される。第3の分布定数線路4と出力端子間には、FET1のゲートに印加するバイアス電圧 $V_g$ が出力端子から漏洩するのを防止するため、高周波で低リアクタンスとなるキャパシタンス素子8が挿入されている。さらに、出力端子と接地電位間には負性抵抗値を調整するためのインダクタンス素子10が接続されている。

インダクタンス素子10は、例えば、伝送線路がコプレーナ型で構成されている場合、第5A図に示すように、信号導体11と、その両側に隙間12を挟んで形成される接地導体13とを接続する、所望の周波数における波長に対して十分に短い導体片14(長さ $l$ )を設けることで実現できる。または、第5B図に示すように、信号導体11の両側に隙間12を挟んで形成される接地導体13のうち、一方の接地導体13と信号導体11とを接続する、上記波長に対して十分に短い導体片14(長さ $l$ )を設けることで実現できる。なお、コプレーナ型の伝送線路とは、信号導体と該信号導体を所定の隙間を有して挟むように配置される接地導体とから成る構成である。

第6図に示すグラフは、インダクタンス素子10を第5A図に示した構成(対称型)、及び第5B図に示した構成(非対称型)とした場合の導体片14の長さ $l$ に対するイ

ンダクタンス $L$ の変化を示すシミュレーション結果である。第6図に示すように、インダクタンス素子10を非対称型の導体片14を用いて構成した方が、より大きなインダクタンスを得ることが可能であり、小型化できることが分かる。

第4図に示したように、第1の実施の形態の負性抵抗回路では、入力インピーダンスが大きいFET1のゲート側に出力端子を設けた構成であるため、FET1のゲートに電流を供給する必要がほとんど無い。したがって、所定のバイアス電流をドレインに供給する従来の負性抵抗回路のように、直流に対してインピーダンスが小さく、所望の周波数でインピーダンスが無限大となる出力側の分布定数線路が不要になる。そのため、従来の構成に比べて回路構成が簡易になり小型化が可能になる。

このような構成において、第1の実施の形態の負性抵抗回路では、所望の周波数範囲で負性抵抗値がほぼ一定となるように、FET1の各端子に接続する第1の分布定数線路2aの長さ $l_{s1}$ 、第2の分布定数線路3の長さ $l_d$ 、及び第3の分布定数線路4の長さ $l_g$ をそれぞれ調整する。また、負性抵抗値は出力端子と接地電位間に接続されるインダクタンス素子10の値によって調整する。

次に、第4図に示す負性抵抗回路の第1の分布定数線路2a～第3の分布定数線路4の長さ、及びインダクタンス素子10の値により、負性抵抗値が調整可能となる理由について図面を用いて説明する。なお、以下では、第4図に示した負性抵抗回路の出力端子に $50\Omega$ の負荷が接続され、キャパシタンス素子7aの容量 $C=3.0\text{ pF}$ 、バイアス電圧 $V_d=3.0\text{ V}$ 、バイアス電圧 $V_g=-0.4\text{ V}$ 、抵抗器9の抵抗値 $R=10\text{ K}\Omega$ 、キャパシタンス素子8の容量が直流成分の遮断に必要な十分に大きい値である場合を例にして説明する。

まず、第4図に示す負性抵抗回路の出力端子に接続するインダクタンス素子10を $60\text{ pH}$ で固定し、FET1のソースに接続する第1の分布定数線路2aを負性抵抗回路として必要な帯域( $40\sim 80\text{ GHz}$ )において容量性となる長さ( $l_{s1}=700\text{ }\mu\text{m}$ )に設定する。また、FET1のドレインに接続する第2の分布定数線路3を上記帯域内で誘導性となる長さ( $l_d=50\text{ }\mu\text{m}$ )に設定する。最後に、FET1のゲートに接続する第3の分布定数線路4の長さ $l_g$ を上記帯域内で負性抵抗値がほぼ平坦になるように調整する。第7図は第3の分布定数線路の長さにより負性抵抗値の周波数特性が変化する様子を示している。なお、第7図はシミュレーション結果で

ある。

第7図に示すように、第3の分布定数線路4の長さ $l_g$ が短いと( $l_g = 420 \mu\text{m}$ )、低い周波数で負性抵抗値が大きくなり、第3の分布定数線路4の長さ $l_g$ が長いと( $l_g = 620 \mu\text{m}$ )、高い周波数で負性抵抗値が大きくなる。第7図に示す例では、第3の分布定数線路4の長さ $l_g = 520 \mu\text{m}$ のとき、必要な帯域( $40 \sim 80 \text{GHz}$ )において負性抵抗値がほぼ一定となることが分かる。また、第3の分布定数線路4の長さ $l_g$ を変えても負性抵抗が得られる周波数範囲は変化しない。

一方、第3の分布定数線路4の長さ $l_g = 520 \mu\text{m}$ で固定し、FET1のドレインに接続する第2の分布定数線路3の長さ $l_d$ を変化させると、負性抵抗特性は第8図のグラフのようになる。なお、第8図はシミュレーション結果である。

第8図に示すように、第2の分布定数線路3の長さ $l_d = 50 \mu\text{m}$ のとき、負性抵抗が得られる周波数範囲は $40 \sim 80 \text{GHz}$ であり、 $l_d = 300 \mu\text{m}$ のとき、負性抵抗が得られる周波数範囲は $40 \sim 70 \text{GHz}$ となり、 $l_d = 500 \mu\text{m}$ のとき、負性抵抗が得られる周波数範囲は $40 \sim 50 \text{GHz}$ となる。すなわち、第2の分布定数線路3の長さ $l_d$ を長くすると、負性抵抗が得られる上限の周波数が低下していくことが分かる。これは、負性抵抗が得られる上限の周波数以上においては第2の分布定数線路3が容量性となるためである。

上記第1の分布定数線路2a～第3の分布定数線路4の長さによる調整完了後、インダクタンス素子10の値のみを変化させると、負性抵抗特性は第9図のグラフのようになる。なお、第9図はシミュレーション結果である。

第9図に示すように、負性抵抗値はインダクタンス素子10の値 $L = 40 \text{pH}$ のとき、約 $-2 \Omega$  (平坦部位の値) であり、 $L = 60 \text{pH}$ のとき、約 $-3 \Omega$  (平坦部位の値) であり、 $L = 80 \text{pH}$ のとき、約 $-4 \Omega$  (平坦部位の値) となる。すなわち、負性抵抗値はインダクタンス素子10の値に比例する。但し、第9図に示す例では、インダクタンス素子10の値が変化すると負性抵抗特性の平坦性も変化している。

第4図に示した回路は、インダクタンス素子10を除く回路を抵抗器Rで置き換えると、第10図に示す回路と等価となる。

したがって、第4図に示した回路全体のインピーダンスZは、  
【数2】

$$Z = \frac{1}{\frac{1}{R} + \frac{1}{j\omega L}} = \frac{j\omega LR}{R + j\omega L}$$

$$= \frac{j\omega LR^2 + \omega^2 L^2 R}{R^2 + \omega^2 L^2}$$

で表すことが可能であり、 $L=0$ のとき $Z=0$ 、 $L=\infty$ のとき $Z=R$ となる。このことから、第4図に示した回路の負性抵抗値がインダクタンス素子10の値で容易に調整できることが分かる。

#### (第2の実施の形態)

第11図に示すように、第2の実施の形態の負性抵抗回路は、第4図に示した第1の分布定数線路2a（長さ1s1）と並列に、第4の分布定数線路2b（長さ1s2）がFETのソース（S）に接続された構成である（但し、 $1s1 > 1s2$ ）。その他の構成は第1の実施の形態と同様であるため、その説明は省略する。

第11図に示す第2の実施の形態の負性抵抗回路では、FETのソースから見て第1の分布定数線路2a及び第4の分布定数線路2bの反射係数の位相が周波数に対して非線形に変化する。第12図はこの様子を示したグラフである。第12図は、第1の分布定数線路2aの長さ1s1を $700\mu\text{m}$ で固定し、第4の分布定数線路2bの長さ1s2を $1s1 > 1s2$ の条件下で変化させたときの周波数の変化に対する位相特性を示している。なお、第12図の「シングルスタブ」は第4図のようにFETのソースに第1の分布定数線路2aのみが接続された構成の特性を示し、「ダブルスタブ」は第11図のようにFETのソースに第1の分布定数線路2a及び第4の分布定数線路2bが接続された構成の特性を示している。

第12図に示すように、FETのソースに第1の分布定数線路2aのみ接続した構成では、周波数の変化に対して位相が線形に変化する。一方、FETのソースに第1の分布定数線路2a及び第4の分布定数線路2bを並列に接続した構成では、それらの分布定数線路が容量性となる周波数の上限を保ったまま該上限以下の周波数の変化に対して位相が非線形に変化する。また、第4の分布定数線路2bの長さ1s2を変化させることで非線形性を調整できることが分かる。但し、第4の分布定数線路2b

の長さ  $l_{s2}$  を変化させると容量性となる下限の周波数が高くなる。

第2の実施の形態の負性抵抗回路では、第1の実施の形態と同様に、所望の周波数範囲で負性抵抗値がほぼ一定となるように、FET1の各端子に接続する第1の分布定数線路の長さ  $l_{s1}$ 、第2の分布定数線路の長さ  $l_d$ 、第3の分布定数線路の長さ  $l_g$ 、及び第4の分布定数線路  $2b$  をそれぞれ調整する。

このとき、第2の実施の形態の負性抵抗回路では、上記上限以下の周波数変化に対して位相変化に非線形性を持たせることができるため、第1の実施の形態に比べて広帯域で一定な負性抵抗値を容易に得ることができる。なお、負性抵抗値は、第1の実施の形態と同様に出力端子と接地電位間に接続されるインダクタンス素子の値によって調整される。

第13図はインダクタンス素子の値により第11図に示した負性抵抗回路の負性抵抗値の周波数特性が変化する様子を示したグラフである。なお、第13図はシミュレーション結果である。

第13図に示すように、第2の実施の形態の負性抵抗回路は、第1の実施の形態と同様にインダクタンス素子の値に比例する負性抵抗値が得られる。また、インダクタンスの変化に対する負性抵抗特性の平坦性が第1の実施の形態に比べて改善していることが分かる。第2の実施の形態の負性抵抗回路では、FETのソースに接続する分布定数線路が備える位相の非線形性により、誘導性から容量性に転換する周波数が高くなる。したがって、第13図に示したように、負性抵抗が得られる下限の周波数が高くなる。

#### (第3の実施の形態)

第14図に示すように、第3の実施の形態の負性抵抗回路は、所望の周波数の  $1/4$  波長以下の長さに設定され、かつ先端が開放された第5の分布定数線路  $2c$  (長さ  $l_{s3}$ ) と、第5の分布定数線路  $2c$  と並列に接続される、先端が接地電位に短絡された第6の分布定数線路  $2d$  (長さ  $l_{s4}$ ) とがFETのソースに接続された構成である。その他の構成は第1の実施の形態と同様であるため、その説明は省略する。

このような構成でも、第15図に示すようにFETのソースから見て第5の分布定数線路  $2c$  及び第6の分布定数線路  $2d$  の反射係数の位相が周波数に対して非線形に変化する。したがって、第3の実施の形態の負性抵抗回路も第2の実施の形態と同様の

効果を得ることができる。

なお、第2の実施の形態及び第3の実施の形態では、FETのソースに2つの分布定数線路を接続する構成を示したが、ソースに接続する分布定数線路の数は3つ以上であってもよい。その場合、複数の分布定数線路を全て接地電位に短絡する構成では（第11図参照）、いずれか一つの分布定数線路を所望の周波数範囲で容量性となり、ソースを直流的に接地する  $\lambda/4 < l < \lambda/2$  の長さに設定し、他の分布定数線路をそれよりも短く設定すればよい。

また、複数の分布定数線路のうち、少なくともいずれか一つを開放する構成では（第14図参照）、先端が開放された分布定数線路を  $1/4$  波長以下に設定し、先端が接地電位に短絡された分布定数線路を  $1/2$  波長以下に設定すればよい。

（第4の実施の形態）

第16図に示すように、第4の実施の形態の負性抵抗回路は、出力端子に接続されるインダクタンス素子に代えて、キャパシタンス素子15を接続した構成である。その他の構成は第1の実施の形態と同様であるため、その説明は省略する。

キャパシタンス素子15は、例えば、伝送線路がコプレーナ型で構成されている場合、第17図に示すように、接地導体23内に隙間22を挟んで形成される信号導体21から分岐するように設けられた、所望の周波数における波長に対して十分に短く、かつ先端が開放された導体片16で実現できる。このように、キャパシタンス素子15を導体片（分布定数線路）で構成することで、集中定数素子を用いる構成に比べて高精度なキャパシタンス素子を実現できる。

第16図に示した回路は、キャパシタンス素子15を除く回路を抵抗器Rで置き換えると、第18図に示す回路と等価となる。

したがって、第16図に示す回路全体のインピーダンスZは、

【数3】

$$Z = \frac{1}{\frac{1}{R} + j\omega C} = \frac{R}{1 + j\omega CR}$$

$$= \frac{R - j\omega CR^2}{1 + \omega^2 C^2 R^2}$$

となり、 $C=0$ のとき $Z=R$ 、 $C=\infty$ のとき $Z=0$ となる。このことから、第16図に示した回路の負性抵抗値はキャパシタンス素子15の値で調整できることが分かる。

(第5の実施の形態)

第19図に示すように、第5の実施の形態の負性抵抗回路は、第11図に示した第2の実施の形態の構成から出力端子と接地電位間に接続されたインダクタンス素子を除去した構成である。その他の構成は第2の実施の形態と同様であるため、その説明は省略する。

負性抵抗値は、背景技術で説明したようにFETの3つの端子に接続する各分布定数線路の長さを変更することでも調整が可能である。

本実施形態の負性抵抗回路は、第2の実施の形態の負性抵抗回路と同様に、FETのソースに接続する分布定数線路が2本であるため、広い帯域で一定な負性抵抗値が得やすい効果がある。したがって、従来の負性抵抗回路よりも、FETの3つの端子に接続する各分布定数線路の長さで負性抵抗値を容易に調整できる。

第5の実施の形態では、第11図に示した第2の実施の形態の構成から出力端子と接地電位間に接続されたインダクタンス素子を除去した構成を示したが、第14図に示した第3の実施の形態の構成からインダクタンス素子を除去した構成も同様の効果が得られる。

なお、上記第1の実施の形態～第5の実施の形態では、電界効果トランジスタ(FET)を用いて負性抵抗回路を構成する例を示したが、FETに代えてバイポーラトランジスタを用いた構成も同様の特性及び効果を得ることができる。

また、本発明の負性抵抗回路は、第1の実施の形態～第5の実施の形態で示したFETのソースとドレインを入れ換えた回路構成であってもよい。その場合、ドレインに複数の分布定数線路が接続される。なお、調整が複雑になるがFETのゲートに複数の分布定数線路を接続する構成も本発明の変形例として許容できる。

さらに、第1の実施の形態～第5の実施の形態では、インダクタンス素子及びキャパシタンス素子を、コプレーナ型の伝送線路上に導体片を設けることで実現する例を示したが、インダクタンス素子及びキャパシタンス素子には集中定数素子を用いてもよい。また、伝送線路がマイクロストリップ線路である場合は、負性抵抗回路が搭載される基板に、基板の裏面に形成された接地導体と繋がるスルーホールを設け、マイ

クロストリップ線路上に設けた導体片を、スルーホールを介して回路搭載面に形成された接地導体と接続することでインダクタンス素子を実現してもよい。また、マイクロストリップ線路から分岐され、先端が開放された導体片によってキャパシタンス素子を実現してもよい。

(第6の実施の形態)

第6の実施の形態では、第1の実施の形態～第5の実施の形態で示した負性抵抗回路を用いたアクティブフィルタを提案する。

第20図は本発明のアクティブフィルタの一構成例を示す回路図である。

第20図に示すアクティブフィルタは、高域通過フィルタの構成例であり、入出力端子間に直列に挿入された複数のキャパシタンス素子 $C_1 \sim C_{n-1}$  ( $n$ は正の整数)と、各キャパシタンス素子 $C_1 \sim C_{n-1}$ 間の接続ノードと接地電位間に直列に接続されるインダクタンス素子 $L_1 \sim L_n$ 、及び負性抵抗回路 $R_{N1} \sim R_{Nn}$ とを有する構成である。負性抵抗回路 $R_{N1} \sim R_{Nn}$ には第1の実施の形態～第5の実施の形態で示した回路が用いられる。

このような構成の高域通過フィルタの損失の主要因はインダクタンス素子による損失であるため、各インダクタンス素子 $L_1 \sim L_n$ の抵抗成分と負性抵抗回路の抵抗値 $R_{N1} \sim R_{Nn}$ が等しいとき、第20図に示した高域通過フィルタは無損失とみなせる。

インダクタンス素子 $L_1 \sim L_n$ は、所望の周波数の $1/4$ 波長 ( $\lambda/4$ ) よりも十分に短い分布定数線路 (特性インピーダンス $Z_0$ 、減衰定数 $\alpha$ 、伝搬係数 $\beta$ 、長さ $l_n$ ) で実現することが可能であり、そのときのインダクタンスは式(5)で近似できる。また、必要な負性抵抗値は式(6)で表すことができる。

【数4】

$$L_n = \frac{Z_0 \beta l_n}{\omega} \quad \dots (5)$$

$$R_{Nn} = \frac{-Z \left( e^{2l_n \alpha} - 1 \right)}{e^{2l_n \alpha} + 1} \quad \dots (6)$$

なお、第1の実施の形態～第5の実施の形態で示した負性抵抗回路は、1端子対回路であるため低域通過フィルタは実現できないが、例えば、第21図に示す並列接続

型のフィルタを構成すれば、帯域通過フィルタを実現できる。

第21図に示す帯域通過フィルタは、複数（第21図では2つ）の負性抵抗回路 $R_N$ 及び共振器30と、共振器30間を結合する第1のキャパシタンス素子31と、接地電位と入力端子及び出力端子の接続ノード間に接続されたインダクタンス素子32と、一方の共振器30と入力端子間を結合する第2のキャパシタンス素子33と、他方の共振器30と出力端子間を結合する第3のキャパシタンス素子34とを有する構成である。負性抵抗回路 $R_N$ には第1の実施の形態～第5の実施の形態で示した回路が用いられ、共振器30は、例えば、所望の周波数の $1/4$ 波長の長さの分布定数線路を用いて構成される。

また、インダクタンス素子32は、第5図A、Bで示した分布定数線路で形成することが可能であり、第1のキャパシタンス素子31、第2のキャパシタンス素子33、及び第3のキャパシタンス素子34は、所定の隙間を有して配置された2本の伝送線路で形成することが可能である。

なお、第21図に示した帯域通過フィルタでは、2つの負性抵抗回路 $R_N$ 及び共振器を用いた構成を示したが、負性抵抗回路 $R_N$ 及び共振器の数はいくつであっても帯域通過フィルタを構成できる。このような帯域通過フィルタの構成は、例えば、Uwe Rosenberg et al., "Novel Coupling Schemes for Microwave Resonator Filters" IEEE IMS2002 Digest, pp. 1605-1608 に記載されている。

本発明のアクティブフィルタは、第1の実施の形態～第5の実施の形態で示した広い帯域内で一定の負性抵抗値を持つ負性抵抗回路を用いて構成しているため、発振することなく安定して動作するフィルタ回路を得ることができる。

## 請求の範囲

## 1. トランジスタと、

前記トランジスタの3つの端子にそれぞれ接続される複数の分布定数線路と、  
前記負性抵抗回路の出力端子と接地電位間に接続される、負性抵抗値を調整するためのインダクタンス素子と、  
を有する負性抵抗回路。

## 2. 前記インダクタンス素子は、

信号導体と接地電位間を接続する、所望の周波数の $1/4$ 波長よりも短い分布定数線路である請求項1記載の負性抵抗回路。

## 3. 前記分布定数線路は、

信号導体と該信号導体を所定の隙間を有して挟むように配置される接地導体とから成るコプレーナ型であり、

前記インダクタンス素子は、

前記隙間の一方のみを横切って前記信号導体と前記接地導体とを接続する導体片である請求項1記載の負性抵抗回路。

## 4. トランジスタと、

前記トランジスタの3つの端子にそれぞれ接続される複数の分布定数線路と、  
前記負性抵抗回路の出力端子と接地電位間に接続される、負性抵抗値を調整するためのキャパシタンス素子と、  
を有する負性抵抗回路。

## 5. 前記キャパシタンス素子は、

信号導体から分岐され、先端が開放された、所望の周波数の $1/4$ 波長よりも短い分布定数線路である請求項4記載の負性抵抗回路。

## 6. 前記分布定数線路は、

信号導体と該信号導体を所定の隙間を有して挟むように配置される接地導体とから成るコプレーナ型であり、

前記キャパシタンス素子は、

前記信号導体から分岐され、先端が開放された導体片である請求項4記載の負性抵抗回路。

7. 前記トランジスタの3つの端子のうちの少なくともいずれか一つに複数の分布定数線路が並列に接続された請求項1記載の負性抵抗回路。
8. 前記トランジスタの3つの端子のうちの少なくともいずれか一つに複数の分布定数線路が並列に接続された請求項4記載の負性抵抗回路。
9. トランジスタと、  
前記トランジスタの3つの端子にそれぞれ接続される複数の分布定数線路と、  
前記トランジスタの3つの端子のうちの少なくともいずれか一つに並列に接続された複数の分布定数線路と、  
を有する負性抵抗回路。
10. 前記並列に接続される複数の分布定数線路のうちの一つは、  
所望の周波数の $1/4$ 波長より長く $1/2$ 波長より短い、先端が接地電位に短絡された分布定数線路である請求項7記載の負性抵抗回路。
11. 前記並列に接続される複数の分布定数線路のうちの一つは、所望の周波数の $1/4$ 波長よりも短く、先端が開放された分布定数線路であり、  
他は先端が接地電位に短絡された分布定数線路である請求項7記載の負性抵抗回路。
12. 前記並列に接続される複数の分布定数線路のうちの一つは、  
所望の周波数の $1/4$ 波長より長く $1/2$ 波長より短い、先端が接地電位に短絡された分布定数線路である請求項8記載の負性抵抗回路。
13. 前記並列に接続される複数の分布定数線路のうちの一つは、所望の周波数の $1/4$ 波長よりも短く、先端が開放された分布定数線路であり、  
他は先端が接地電位に短絡された分布定数線路である請求項8記載の負性抵抗回路。
14. 前記並列に接続される複数の分布定数線路のうちの一つは、  
所望の周波数の $1/4$ 波長より長く $1/2$ 波長より短い、先端が接地電位に短絡された分布定数線路である請求項9記載の負性抵抗回路。
15. 前記並列に接続される複数の分布定数線路のうちの一つは、所望の周波数の $1/4$ 波長よりも短く、先端が開放された分布定数線路であり、  
他は先端が接地電位に短絡された分布定数線路である請求項9記載の負性抵抗回路。
16. 前記トランジスタは、電界効果トランジスタであり、  
前記複数の分布定数線路が並列に接続される前記端子は、前記電界効果トランジス

タのソースである請求項 7 記載の負性抵抗回路。

17. 前記トランジスタは電界効果トランジスタであり、

前記複数の分布定数線路が並列に接続される前記端子は、前記電界効果トランジスタのソースである請求項 8 記載の負性抵抗回路。

18. 前記トランジスタは電界効果トランジスタであり、

前記複数の分布定数線路が並列に接続される前記端子は、前記電界効果トランジスタのソースである請求項 9 記載の負性抵抗回路。

19. 前記負性抵抗回路の出力端子は、

前記電界効果トランジスタのゲートに接続された分布定数線路を介して設けられ、  
前記ゲートに所定の直流電圧を供給するためのバイアス電源と、  
前記バイアス電源と前記ゲートに接続された分布定数線路間に接続される抵抗器と、  
を有する請求項 16 記載の負性抵抗回路。

20. 前記負性抵抗回路の出力端子は、

前記電界効果トランジスタのゲートに接続された分布定数線路を介して設けられ、  
前記ゲートに所定の直流電圧を供給するためのバイアス電源と、  
前記バイアス電源と前記ゲートに接続された分布定数線路間に接続される抵抗器と、  
を有する請求項 17 記載の負性抵抗回路。

21. 前記負性抵抗回路の出力端子は、

前記電界効果トランジスタのゲートに接続された分布定数線路を介して設けられ、  
前記ゲートに所定の直流電圧を供給するためのバイアス電源と、  
前記バイアス電源と前記ゲートに接続された分布定数線路間に接続される抵抗器と、  
を有する請求項 18 記載の負性抵抗回路。

22. 請求項 1 記載の負性抵抗回路と、

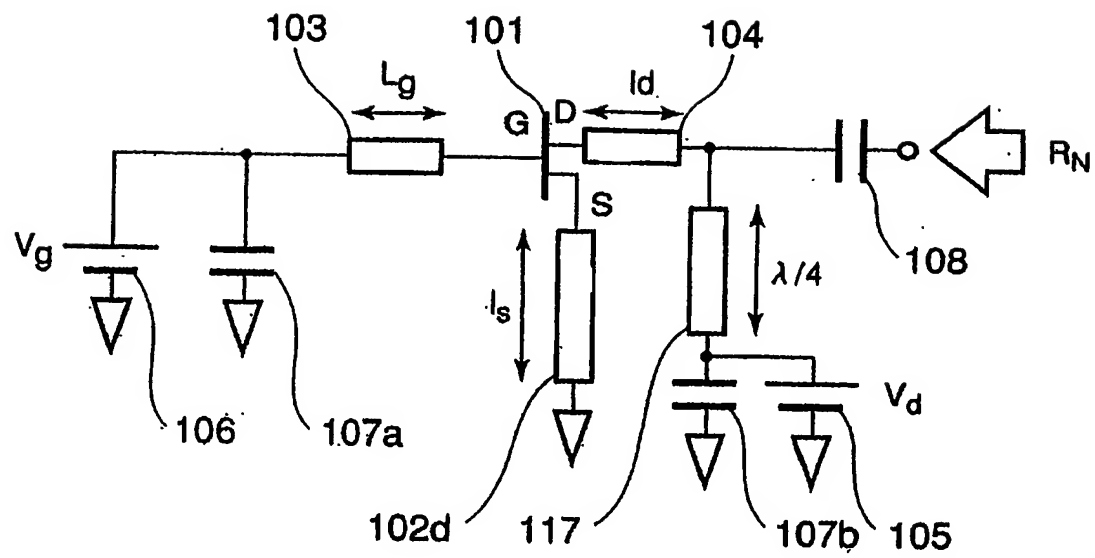
前記負性抵抗回路と直列に接続される共振器と、  
を有するアクティブフィルタ。

23. 請求項 4 記載の負性抵抗回路と、

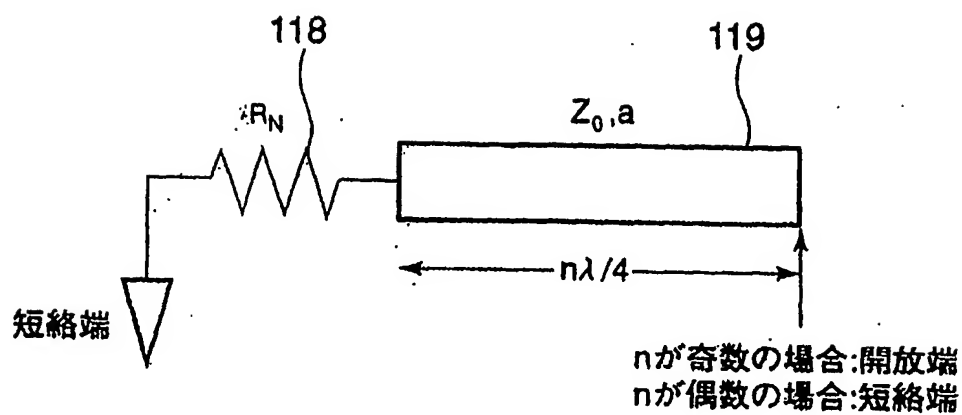
前記負性抵抗回路と直列に接続される共振器と、  
を有するアクティブフィルタ。

24. 請求項 9 記載の負性抵抗回路と、

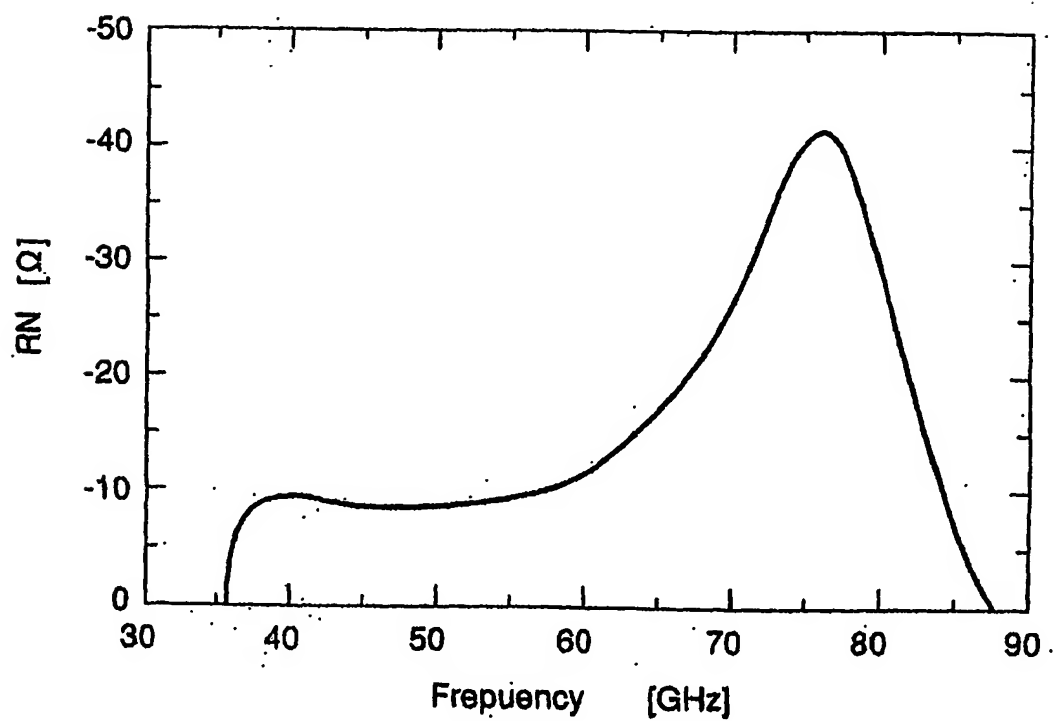
前記負性抵抗回路と直列に接続される共振器と、  
を有するアクティブフィルタ。



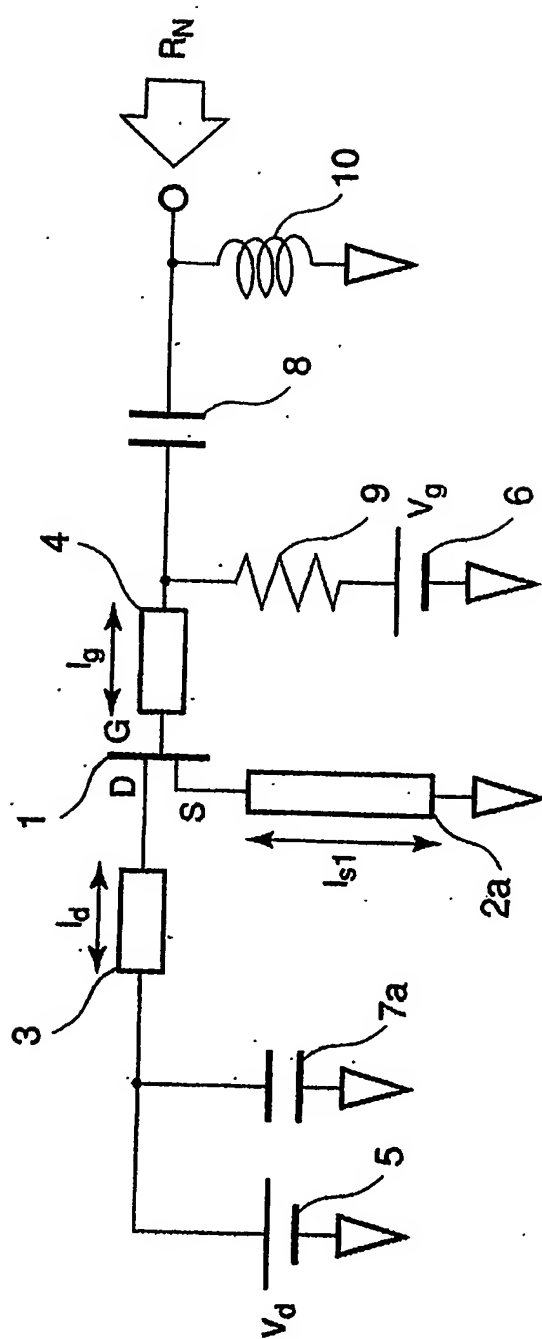
**第1図 (従来技術)**



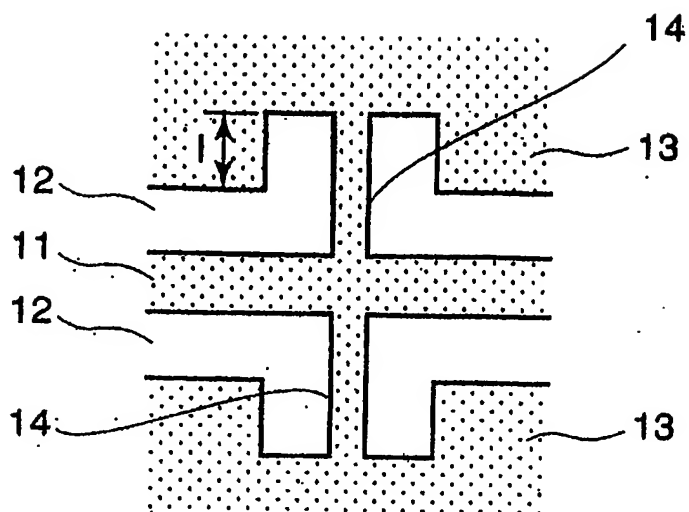
第2図 (従来技術)



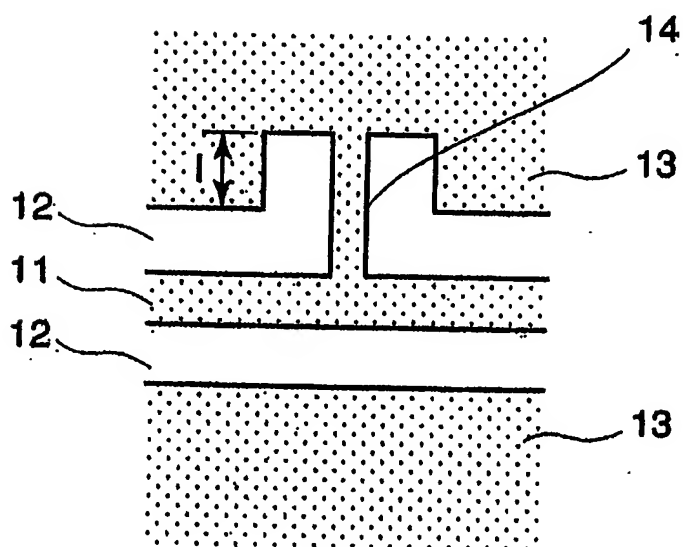
第3図 (従来技術)



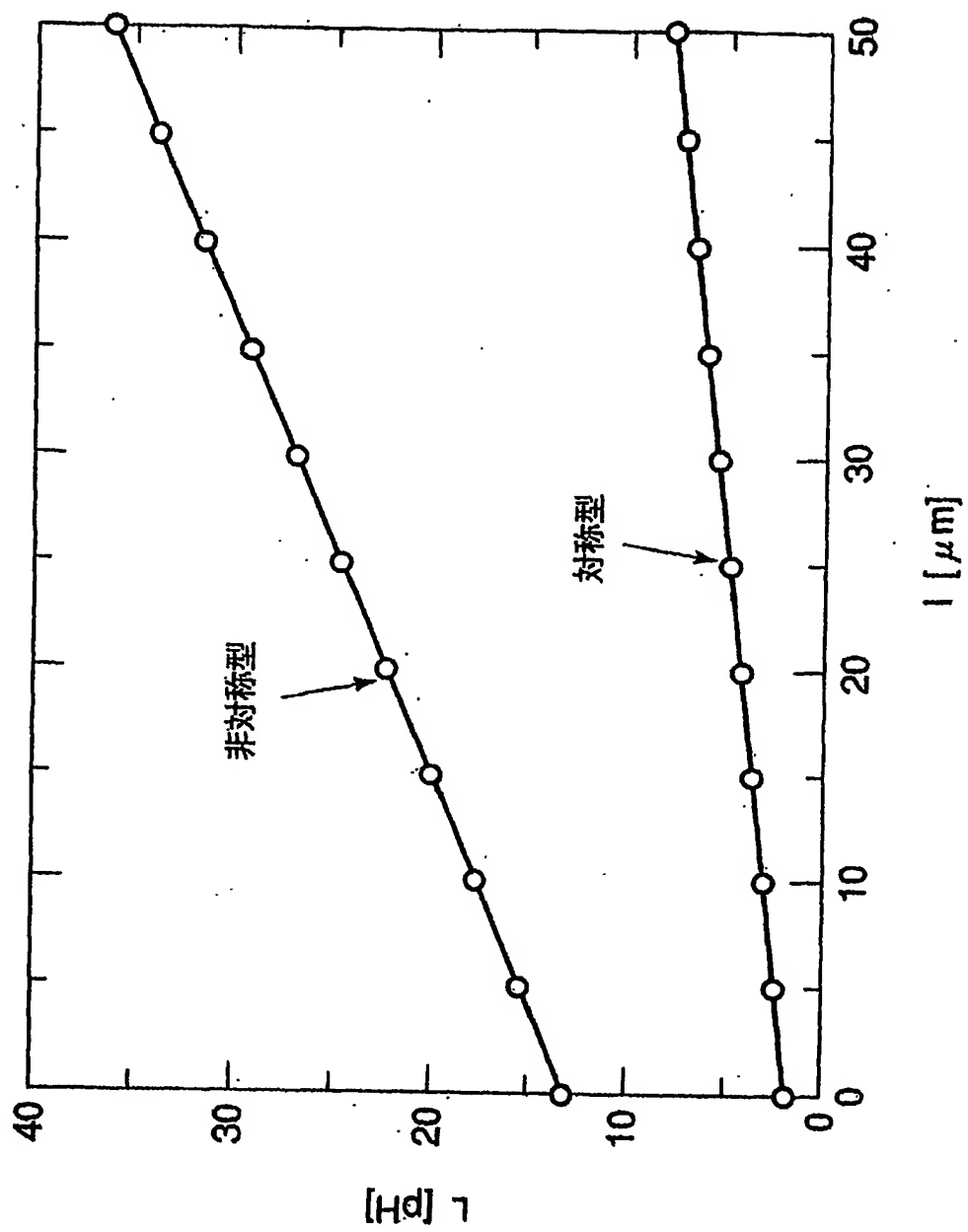
**第4図**



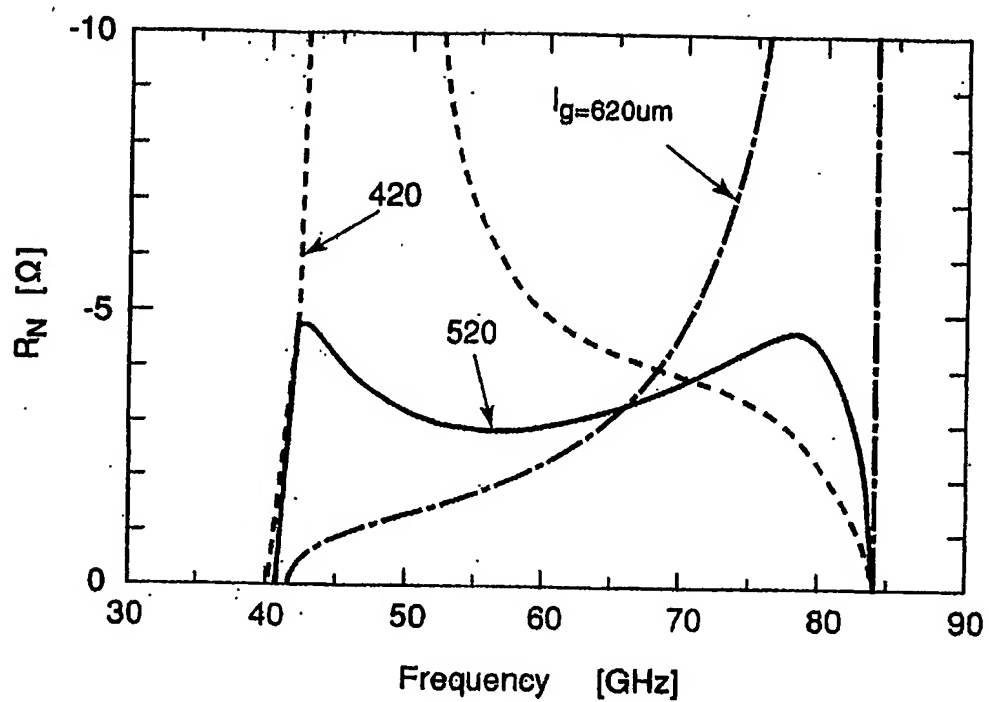
第5A図



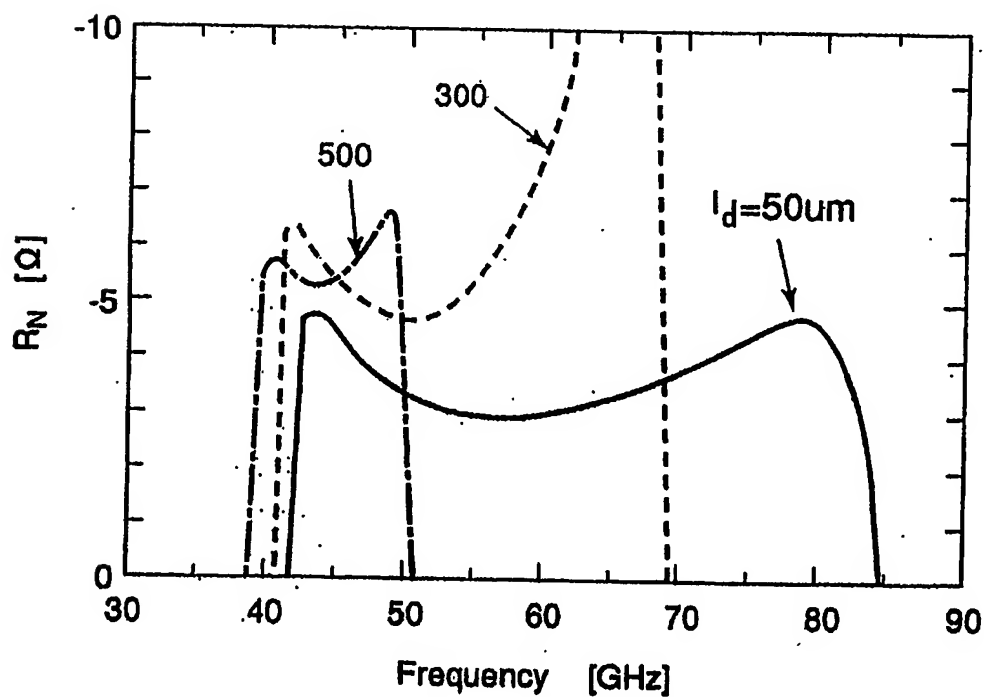
第5B図



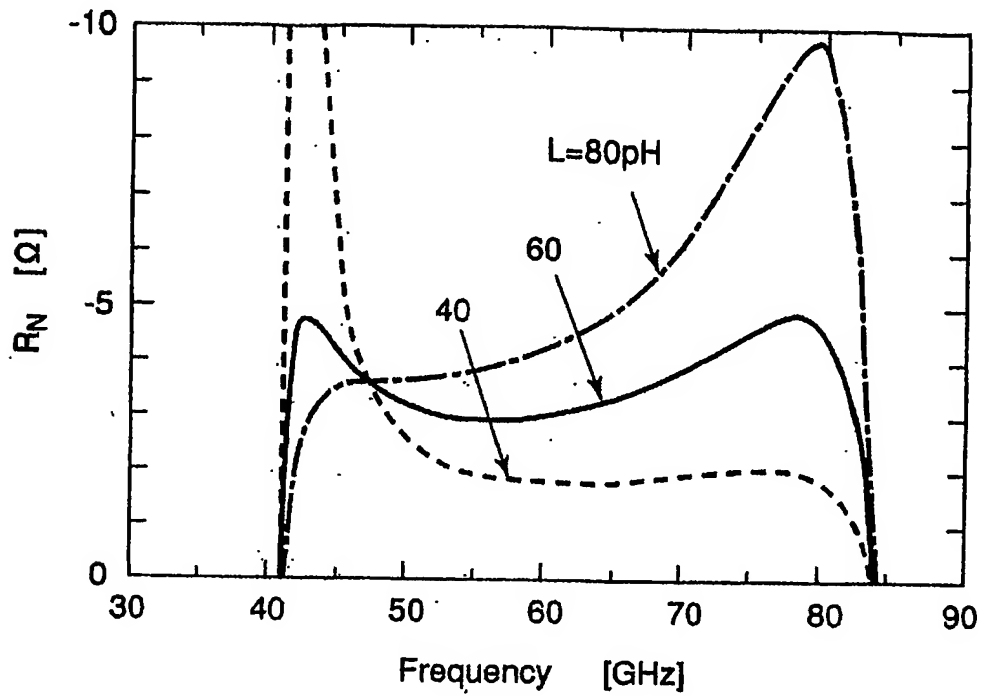
第6図



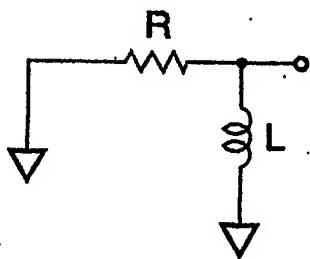
第7圖



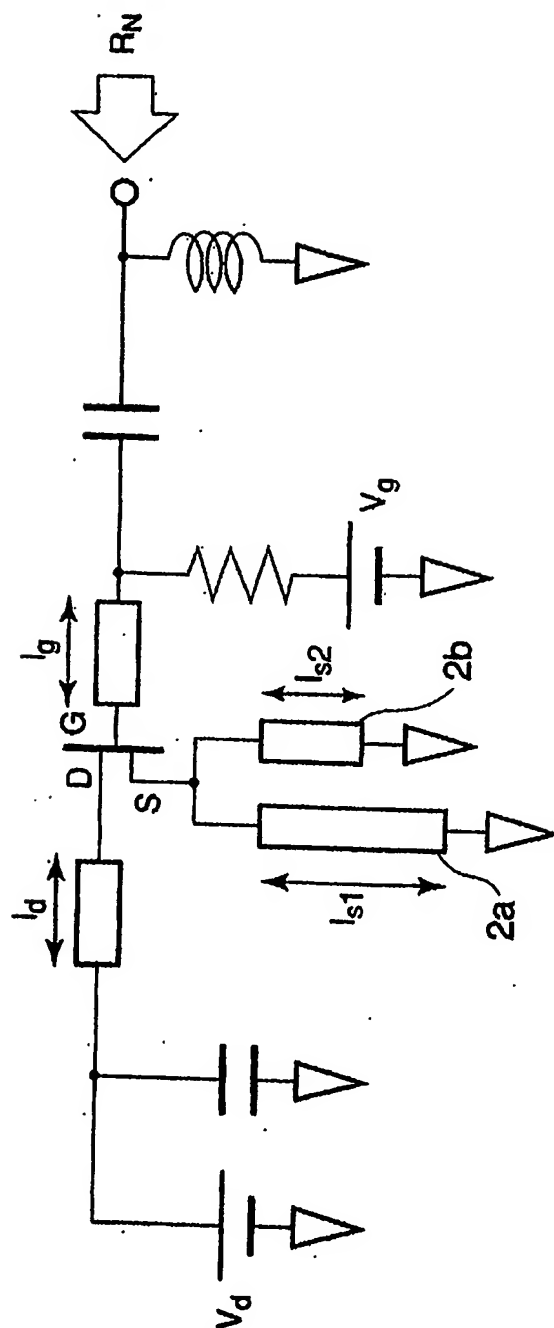
第8圖



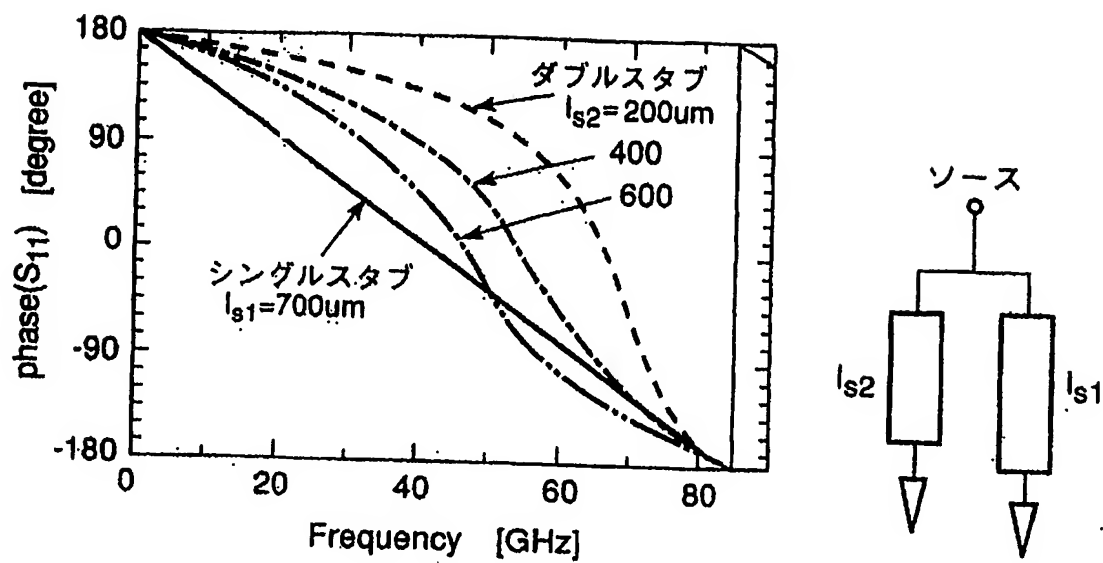
第 9 图



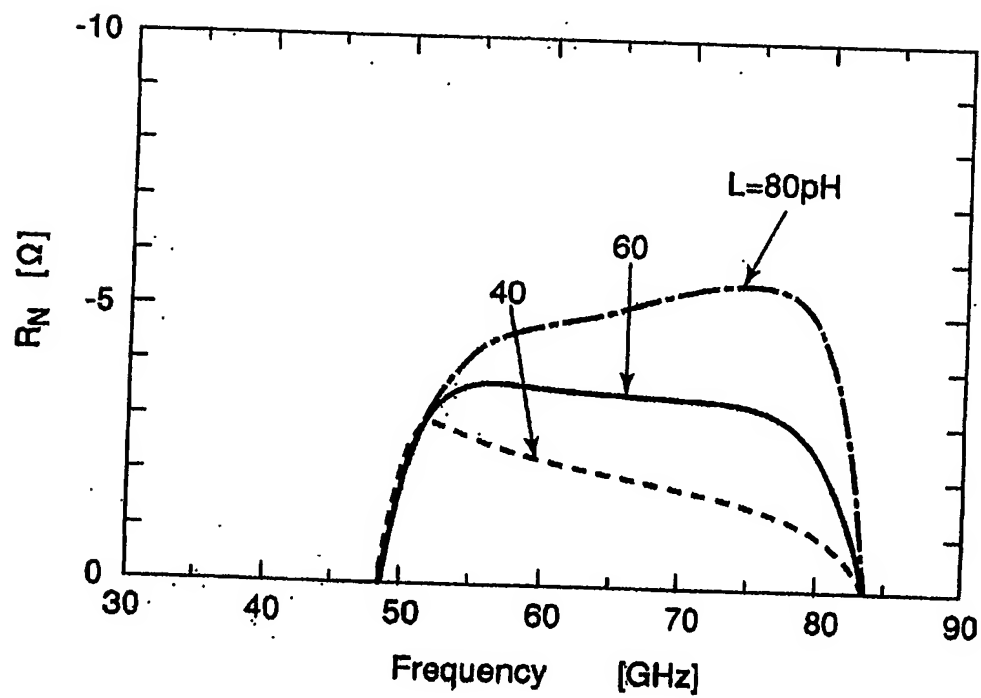
第 10 图



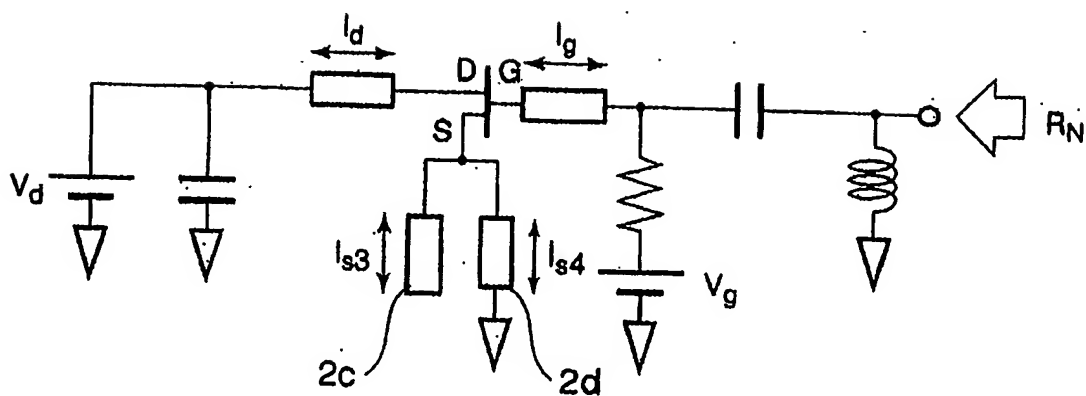
第 1 1 図



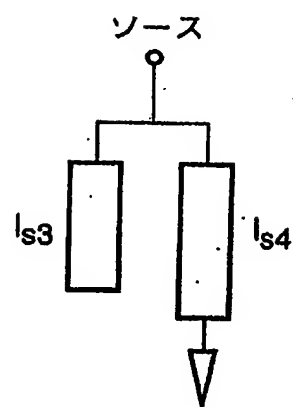
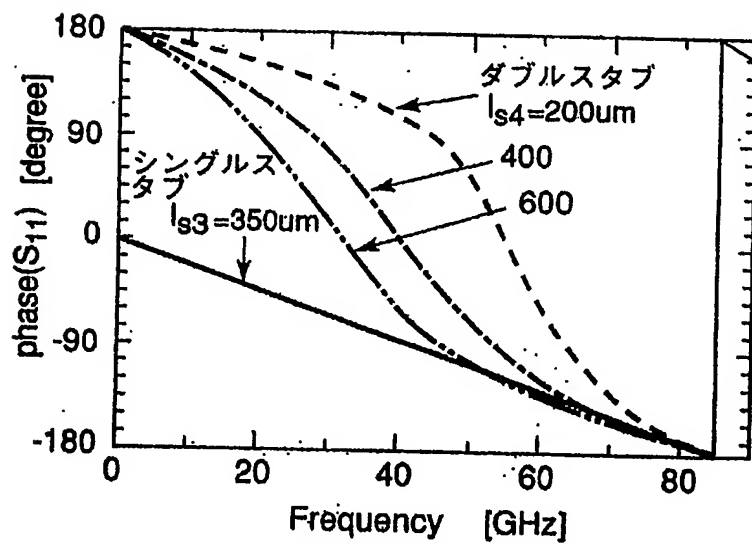
第 1 2 図



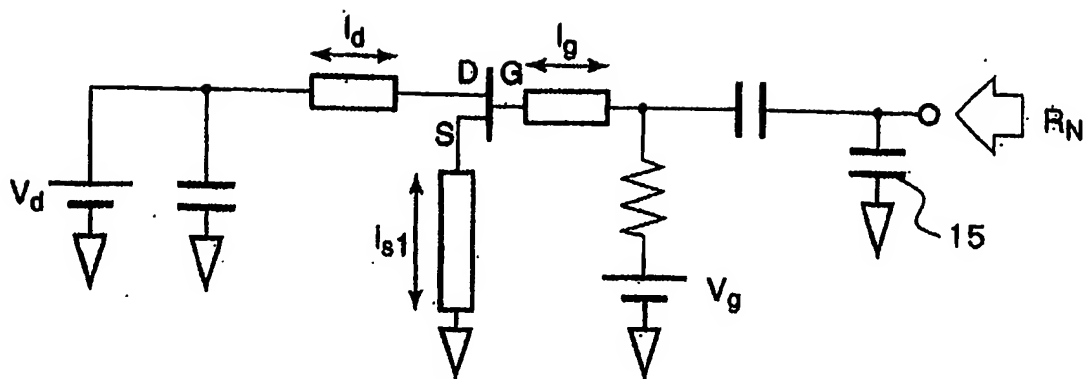
第 1 3 図



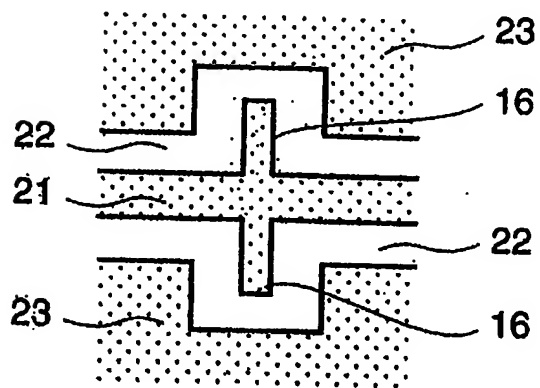
第14図



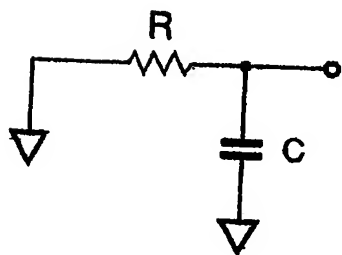
第15図



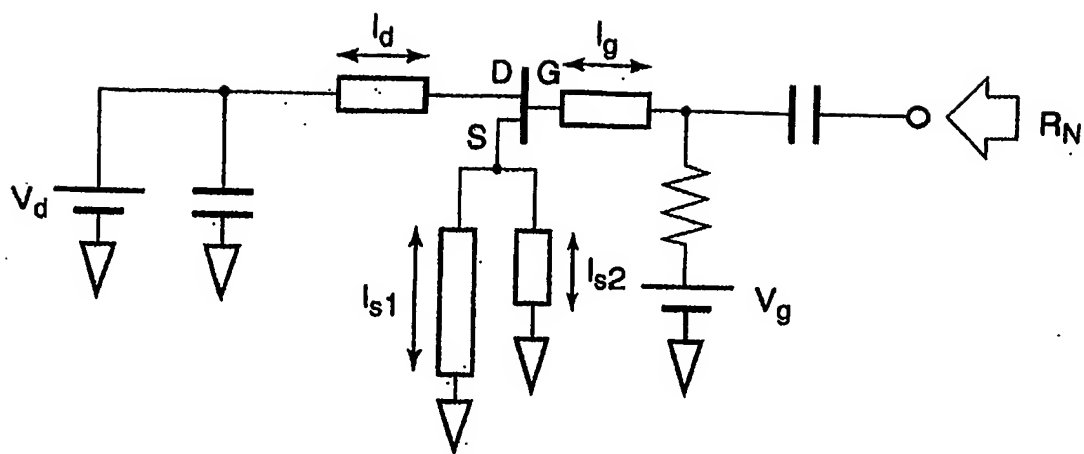
第 1 6 図



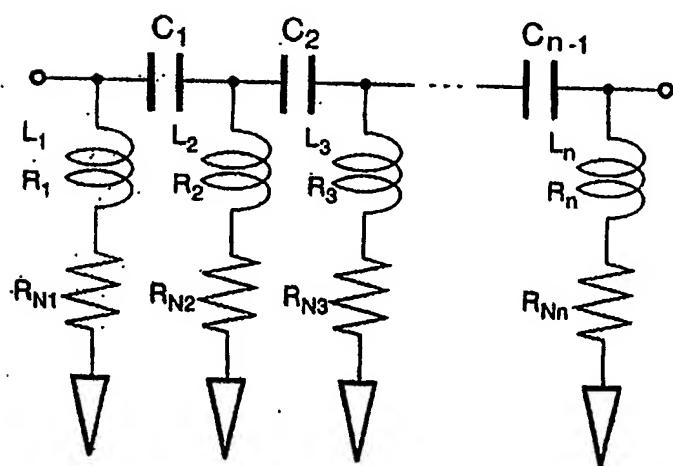
第 1 7 図



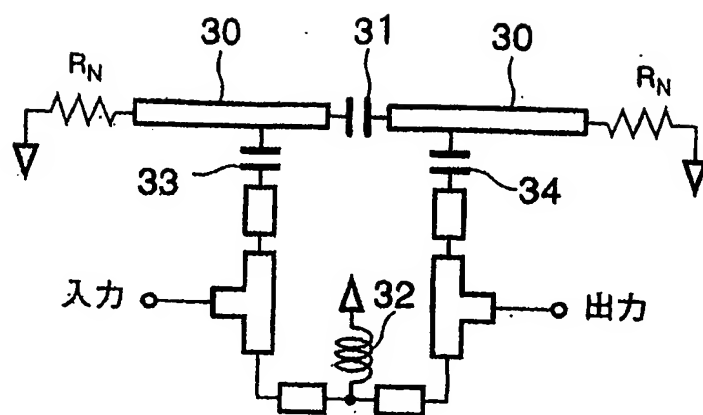
第 1 8 図



第 19 图



第 20 图



第 2 1 図

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/15523

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H03B7/14, H03H11/10, H03H11/52

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H03B7/11-7/14, H03H11/04-H03H11/52

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 10-145143 A (Sharp Corp.), 29 May, 1998 (29.05.98), Par. Nos. [0015] to [0025]; Figs. 1, 2 & WO 98/21828 A1 & EP 1014587 A1 & US 6252469 A	1, 3, 4, 6 2, 5, 7-24
Y	JP 2000-228602 A (Alps Electric Co., Ltd.), 15 August, 2000 (15.08.00), Par. Nos. [0007] to [0025]; Figs. 1 to 4 & DE 10005283 A1 & CN 1263365 A & KR 2000076608 A & US 6448874 A	2, 5, 9-15
A	JP 5-251964 A (Nippondenso Co., Ltd.), 28 September, 1993 (28.09.93), Par. Nos. [0011] to [0025]; Figs. 1 to 4 & US 5343172 A	9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:  
 "A" document defining the general state of the art which is not considered to be of particular relevance  
 "E" earlier document but published on or after the international filing date  
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 "O" document referring to an oral disclosure, use, exhibition or other means  
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
 "&" document member of the same patent family

Date of the actual completion of the international search  
10 March, 2004 (10.03.04)

Date of mailing of the international search report  
30 March, 2004 (30.03.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/15523

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 62-207006 A (Matsushita Electric Industrial Co., Ltd.), 11 September, 1987 (11.09.87), Page 2, lower left column, line 10 to page 3, upper right column, line 4; Figs. 1, 2 (Family: none)	1, 4
A	JP 10-93348 A (Denso Corp.), 10 April, 1998 (10.04.98), Full text; all drawings & EP 0829953 A2 & US 6066997 A	1-24
A	JP 6-232633 A (Nippon Telegraph And Telephone Corp.), 19 August, 1994 (19.08.94), Full text; all drawings (Family: none)	1, 4

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H03B 7/14 H03H11/10 H03H11/52

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H03B7/00-7/14 H03H11/04-H03H11/52

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2004年  
 日本国登録実用新案公報 1994-2004年  
 日本国実用新案登録公報 1996-2004年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 10-145143 A (シャープ株式会社) 1998.05.29 [0015] - [0025], 図1, 図2 & WO 98/21828 A1 & EP 1014587 A1 & US 6252469 A	1, 3, 4, 6 2, 5, 7-24

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

10.03.2004

国際調査報告の発送日

30.3.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

高木 進

5W

8628

電話番号 03-3581-1101 内線 3574

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2000-228602 A (アルプス電気株式会社) 2000. 08. 15 [0007] - [0025], 図1-図4 & DE 10005283 A1 & CN 1263365 A & KR 2000076608 A & US 6448874 A	2, 5, 9-15
A	JP 5-251964 A (日本電装株式会社) 1993. 09. 28 [0011] - [0025], 図1-図4 & US 5343172 A	9
A	JP 62-207006 A (松下電器産業株式会社) 1987. 09. 11 第2頁左下欄第10行-第3頁右上欄第4行, 図1, 図2 (ファミリーなし)	1, 4
A	JP 10-93348 A (株式会社デンソー) 1998. 04. 10 全文, 全図 & EP 0829953 A2 & US 6066997 A	1-24
A	JP 6-232633 A (日本電信電話株式会社) 1994. 08. 19 全文, 全図 (ファミリーなし)	1, 4

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**